PATENT ABSTRACTS OF JAPAN

(11)Publication number:

2000-131393

(43)Date of publication of application: 12.05.2000

(51)Int.CI.

GO1R 31/02 GO1R 31/26

(21)Application number: 10-304560

(71)Applicant : OKI ELECTRIC IND CO LTD (72)Inventor: SUGANO HIROMASA

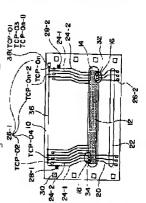
26.10.1998 (54) CIRCUIT AND METHOD FOR TESTING DRIVER IC

(57)Abstract:

(22)Date of filing:

PROBLEM TO BE SOLVED: To reduce the number of pads for tests on the output side of a driver IC, to enable highly accurate needle contact with the pads for tests, and to improve the yields of products.

SOLUTION: As for the arrangement of pads for tests, pads (26-1 and 38) for tests are divided so as to correspond to internal circuits in odd ordinal numbers and internal circuits in even ordinal numbers according to the arrangement order of the internal circuits part 5. The pads for tests provided in correspondence with either the internal circuits in odd ordinal numbers or the internal circuits in even ordinal numbers are commonly connected, and the internal circuits and output pads are made electrically separable. Test information is supplied for the internal circuits of a driver IC 12 from the outside, and the internal circuits and the output pads are electrically connected at the time of a test to test the state of connection between the input and output pads on the basis of the state of signals outputted form the pads for tests connected to the output pads.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection

[Date of requesting appeal against examiner's decision of rejection]

Date of extinction of right

(2)

(12) 公開特許公報(4) (18) 日本国物群庁 (JP)

(43)公開日 平成12年5月12日(2000.5.12) \$M2000-131393 (P2000-131393A)

(11)特許出版公開卷号

26003 26014 26032 G01R 31/28 31/05 87/18 19163 H 31/02 82/18 G01R 31/28

51) Int.Q.

審査額次 未額次 額次項の数2 01 (全 11 頁)

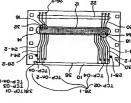
(21) 出版等与	特徵平10-304580	(71)出版人	(71) 出版人 000000285
H H (66)	(% 01 8001) H26H0(H)0H27		中國伍工業株式会社 會由實施反應 / 四 1 丁四 2 每 1 2 年
	ANTICAL TRANSPORT COMPANY	(72) 発明者	(72) 兜形岩 有野 杏油
			東京都港区成ノ門1丁目7番12号 十 工業株会社内
		(74) (CEL)	(74) 代理人 100079049
			井理士 中島 詳 (外3名)

(54)【発明の名案】 ドライバ1 このテスト回路及びテスト方法

[67] [基約]

【数据】 ドライベーCの川力限のテスト用ペッド数を **気楽し、テスト用パッドに対する苗種度な針当て参り箱** にし、嬰后の歩役りの向上を図る。

「解決手段」 テスト用バッドの配置を、内部同語の配 阿撒により必要を目の公舎回路と四数を目の公路回答に **京談し、から上述を得回祭と出りスッドとの証を的なわ** に記載し点値にすると共に、ドライベICI2の内部回 対応させてテスト用パッド(26~1.38)を反分け し、必数存在の内部回路と函数参用の内部回路の4.14.14 かっ方に対応して設けられたテスト用パッド間を共通に 路にテスト情報を外部より保給し、テスト時に内部回路 と言うベッドとの関か和位をに接続して発音力ペッドに 接続されているテスト用バッドから川りされる信号状態 に関わられたにカイッドEEの放送状態やドストナる。



[指来点:] テープキャリアスッケーツに制度されデ スプアイディアスを影響するドライバ I Cの人間カバ **ァドと前記テープキャリアパッケージ上に形成されたテ** スト用パッドとが前記テープキャリアパッケージ上に形 **吹きれたリードバターンにより接続されてなり、前記人** 特別指次の対面

IIカパッド間の接続状態をテストするドライバ1 Cのテ 省社テスト用バッドの配置を、内部同路の配列順により 存数条目の左部回路と関数修用の之前回路に対応かせて アスト用バッドを区分けし、存款番目の内部回路と概数 番目の内部同路の向れか・5に対応して扱けられたテス ト田パッド配を共通に接続し、から他式公割匹幣と出力 ストが出において、

参記ドライベーCの内部回路にテスト情報を外部より供 始し、チスト時に内部回路とボカバッドとの関を和気的 に接続して該出力パッドに接続されているテスト用パッ ドから出力される信号状態に関るいて後男人出力ベッド 間の秘密状態をデストすることを特徴とするドライバー パッドとの間を亀気的に別牒し可能にすると共に、

このデスト方法

「様水道2】 女小田ディジタルゲータを順次転送する シフト回路及びレジスタ回路からなるシフトレジスタ回 路と、減シフトレジスタ回路の担力を格納するラッチ阿 落と、減サッチ回路に格能された表示用ディジタルデー タをアナログ電圧に変換するDA変換同路と、 族DA変 製匠路のIII カタインピーダンス変換する バッファアンプ 回路とを据えた内部同路と旅内部回路の出力電圧を外部 こ肌力する出力パッドまでを1回路として多数回路を有 しテープキャリアパッケージに配属されたドライバIC **なもし、 流消玉カベッドと極端を一レキャリアベッケ** ージ上に形成されたテスト用バッドとが指記テープキャ リアパッケージ上に形成されたリードバターンにより数

職権国に扱く

領型デスト用パッドの配置を、内部回路の配列順により 存数数目の分割回路と質数を目の内側回路に対応させて アスト用パッドを減分けし、各数都目の内部回路と戦数 を言の文明国際の行れが、カに対応して及けられたチス 下田 イッド 国や オ海に被害し、から当式 ドレイスIOの 各内部同路と出力パッドとの間にアナログスイッチを各 a、設け、孩でナログスイッチのドライバ1Cテスト略 の動作タイミングを各田力ペッドに対応する前記シフト 同路の川力信号と、外部人力のテスト制御信号との権用 ドライベICのテスト回路において、

最されてなり、商品川カバッドの接機状態をテストする

傾により生成した制御付号により創御することを特徴と するドライバICのテスト回路。 【発明の詳細な説明】

ディム ス節のディスプレイディン スを駆動するドライバ 発明の属する技術分野】本発明は、液晶ディスプレイ I Cのテスト回路及びテスト方法に係り、特にドライバ

Cの人間カバッド間の技術状態をテストするドライバ Cのチスト同路及びチスト方法に関する。 「従来の技術」図らに従来の沢品ドライベーCのTョロ

0 - は・敷的なメッキ包組みれた解答、放棄者、ベース フィルムの3階構造からなっている。人力間のインナー リード204、出力値のインパーリード205、人力値 ハアウターリード206、川小崎のアウターリード20 8及びテスト用パッド209は、それぞれTCP201 [0003] ドライバI C 202はゲーブを大抜きした e Carrier Package (KK, TCP2 記す。)への実験形態を示す。MIMIC おいて、TCP2 Lに形成されている。

アシー3と出力値のインナーリード205とが投稿され ディイスホール203内に観覧され、ドライバ1 C 2 0 この人とパッドトの命パンプミーミア人が取のインナー リード204とが接続され、また出力パッド上の食パン ている.人力側のアウターリード206ほテープを穴装 そしたボーチ201を介した図示したないプリント気器 された場像と複数される。

【0004】 間力酸のアウターリード208はアライメ ントャーク210-1とアライメントマーク210-2 との間のリード値子が図ぶしてないディスプレイデバイ [0005] チスト用パッド209は、インナーリード スとしての液晶パネルと接続される。

204、205とドライバIC202を按捺した後にド 状態を微化する時に用い、テスト用パッド209の数は 人川カアウターリード206、208と同数である。ア スト用パッド209は液晶パネルと接続する前に切り取 られる, 211はメプロケットホールであり、TCP2 0 1 のスプロケット 5 前のサイズはスプロケットホール 2!I 間の開稿をW3とし、スプロケットホールの数を ライベI C 2 0 2 の出力パッドとテストパッド間の接続

お) に作い、ドライバ1C202の1チップ当たりの出 hyics array) パネルで3072×768題 お方向でドライベIC202を8度依用)が土満になっ 【0008】以上の佛政において、液晶パネルの人容量 K (XGA (extended video grap 1着も増加し、384川J (XGAペネルの3072両 たきたいる。液晶パネルとの投稿ビッチは(HI力間のア ウターリード208のピッチ)、60~70ド用機械と n 2 + 5 2, W3 x (n-1) 2 45,

アウターリード208のビッチは、70μm強が可能で W LodnS) MSのmmsの3M (Nn m/L/かし M de) タイプが卡に用いられ、有効パターン部類 (W 2)が最大28.6mmまで可能であるため、現状では ハ、アウターリード208のピッチは更に狭ピッチ化が 【0007】また、TCP201は近コスト化対消とし ある。今後、更にドライバ1C202の多出力化に作 民ピッチ化の傾向にある。

時間-412-131393

0.9も綺娥に、牧ビッチ化と多ペッド化に対応する必要

【0008】現在、松枝状態(ドライバ1 Cの人間カバ ッド語のオーナンノショード)の格点が注としてはデス トパッド209にプローブカードに搭載された鐵箔な針 を当てて、電気的に接続をとり、ICテスタにより接続

状態をテストしていた。

ドとの電気的な複雑不良が発生し、負品のドライベIC 【発射が解決しようとする禁錮】従来のドライベ1 Cの により、テスト用パッドに対し高権実なプローブの針当 てが非常に困難になり、プロープ用の針とテスト用バッ を不良品として相定し参信のが氏ドするという問題が有 数枚力法では、ドライベI Cの参用力化(3 B 4 H力) に作うテスト用バッドの彼ピッチ化 (60~70μm)

ものであり、TCPのコストを上界させることなく。ド するためにテスト用バッドを多段に配置する方法もある が、TCPのスプロケットが向のサイズが機関する可能 【0011】本発明はこのような事情に鑑みてなされた ライベICの川力間のテスト用バッド数を転換し、デス ト田バッドに対する直接媒な針当てを可能にし製品の歩 **買りの向上を図ったドライベI Cのテスト回路及びテス** [0010]また、テスト用ハッドの旅ビッチ化を同語 住があり、TCPのスプロケットが向のサイズの植物に 作い、TCPのコストが上昇するという問題が有った。

なり、前記人用カパッド間の接続状態をテストするドラ と出力パッドとの概を亀気的に接続して装用力パッドに 【機能を解決するための手段】上記目的を進成するため には水色しに記載の路形は、ケーブキャリアスッケーツ に配置されディスプライデバイスを緊急するドライバー Cの人間カバッドと前記テープキャリアバッケージ上に 形成されたテスト用パッドとが前記テープキャリアパッ ケージ上に影成されたリードパターンにより接続された イベーこのテストが注において、前記テスト用ペッドの 配置を、内部同路の配列順により今数条件の内部回路と **職数条件の内部回路に対応させてテスト用ペッドを(K分** けし、存款番目の内部同路と同数番目の内部回路の何れ か・ルに対応して設けられたテスト用ペッド間を共通に 寂寞し、から返記を海回窓カニカベッドかの紅外側区を に砂磨し両額にすると共に、近辺ドライバI Cの外海回 **難にテスト情報を外部より供給し、テスト時に内部回路** 後段されているテスト用パッドから川力される信号状態 に基ム に直記入用力ベッド間の放放状態をデストする トル法を提供することを目的とする。

I Cの内部回路と川カパッドとの間を他気的に切磋し可 私にしたので、ドライバI C とT C P との間の接続状態 [0014] また請求項1に記載の発明によれば、テス の大路回路と回動を回りて路回路に対応はたいサスト田 シアを欠分けし、 心教都目の内路回路と信義者目の内 **写回銘の何れか・ガに対応して扱けられたゲスト用パッ** ド節を共通に接続するようにしたので、TCPのサイズ と増加することなく、すなわちTCPのコストの上昇を **聞くことなく、テスト用バッド数を低減でき、それ故殿** 品割立後の機会時のテスト用バッドに対するプロープ用 中の針当に精液の向上が固れ、対象にスを伝統でき、製 トロバッドの利田を、大街回路の最近間により全数会員 [0015] 請水項2に記載の発明は、資水用ディジタ と国場な手往でテストすることが可能となる。 品の事業もの対上が図れる。

レデータを順次転送するシフト同路及びレジスク同路か らなるシフトレジスタ回路と、減シフトレジスタ回路の 出力を格納するラッチ回路と、該ラッチ回路に格納され た女が用ディジタルデータをアナログ和用に変換するD 2後するペッファアンプ同路とを備えた内部回路と該内 **川路として多数阿路を有しテープキャリアパッケージに** ープキャリアパッケージ上に形成されたテスト用パッド ドスターンにより接続されてなり、前周別カスッドの数 て、出記テスト用バッドの配置を、内部回路の配列機に **製製を目の内側回路の何れか・カに対応した扱けられた** Cの各内徴回路と出力パッドとの難にアナログスイッチ フト同路の相力信号と、外部人力のテスト制御信号との 倫理技により生成した制御信号により制御することを特 A 投資回路と、浜D A 投資同路の出力をインピーダンス 第回路の出力和圧を外部に出力する出力パッドまでを1 乳質されたドライ・CICでもって、出力パッドと前記予 とが前部テープキャリアパッケージ上に形成されたリー このる数数目の内部回路と開散発目の内部回路に対応さ せてテスト用パッドを区分けし、参数者目の内側回路と アスト用パッド間を共通に接続し、から遊出ドライバI と含々、戯け、孩アナログスイッチのドライバ1 Cゲス ト時の動作タイミングを各川カバッドに対応する前近ツ 提供額をデストするドライベI Cのデスト回路におい

に近截の発動の効果に加えて、ドライベ1Cの名式画図 アナログスイッチを含々、設は、アナログスイッチを1 **に発生にアレードナなのにと郷国際のツファ国際の川**力 **各アナログスイッチを特定のタイミングで敷作させるた** もの禁煙なデコーダ回路が不要となり、低コストのドラ [0016] 請水項2に記載の発明によれば、請水項1 路と川カバッドとの間を載気的に切り離す手段として、 言ち (シフトパルス(計号) を説用するようにしたので、 イバI Cのテスト同路を実現することができる。

[発明の実施の影響] 本発明の実施の形態を図面を参照

【0013】欝水道1に記載の発明によれば、ドライバ

ことを特徴とする。

の出力回路80-1~80-nの各々に、接続されてい

ライバ1 CのT CPへの実験形態を示す。同図において ドライスしてしっぱりエン状態で正常と担害されたもの ひある。ドライバ1 C 1 2 はデベイスボール 1 4 内に配 2 と入力間のインナーリード16とが接続され、川カベ が接続されている。 人力限のアウソーリード20の先端 続され、お数ライン用のテスト用バッド38に投稿され ている、歯数ラインのアウクリード24ー2は図5に示 して詳細に最短する。図1に本稿単が適用される液晶ド 配され、ドライベ1C12の人力バッド上の食バンプ3 ッド上の金パンプミュと田力館のインナーリード18プ こはテスト用ハッド26-2が設けられている。川力側 nアウターリード24 (24-1, 24-2) はアライ メントシーク28~1 とアライメントシーク28~2種 Dリード端子が液晶パネルと接続される。テストパッド **製はな数シインのアウターリード2.4-1回士が共通数** す様来例と同様に各リード毎に載けられたテスト用パッ ド26-1と各々、投帳されている。

る。図2において本実施の影ů係るドライバ1C12の を図2に示す、本技術の形態に係るドライベ1 C 1 2の サスト回覧は、表示用ディジタルデータ(テストデータ ラッチ同路前60と、ラッチ回路町60に格納された表 泰国路部70と、DA変換回路部70の出力付5を外部 【0018】次にドライベIC12のチスト回路の構成 アスト回路はドライベI Cの内当回配を利用し、一番の 同路及び製御信号を付加することにより構成されてい または西後データ)を順次転送するシフトレジスタ阿路 第50と、シフトレジスク回路前50の出力を搭載する p用ディジタルデータをナナログ製用に変換するDA数 こ出力する出力同路総80とを有している。

OUT!~DV-OUT n~Ⅲ/Jされるようになってい

- nから情故されている、シフト同路52-1の人力類 【0019】シフトレジスタ回路部50は、シフト回路 52~1~52~nと、画像データを取り込むレジスタ ナロノニーサの海巴部制御、パローリロノニーリの経回 子D1にはスタート信号STが人力されるようになって 89、シフト同路52-1の川力増子91は次級のシフ ト回路52~2の人小編FD2と、レジスタ回路56~ 1のラッチ選子1.1と、韓理後同路54-1の人力選子

[0021]シアト同路52-1~52-nのクロック - nの各人力指子T!は共通接続され、テストモード店 【0020】シフト同路52-2の川力場了Q2は次段 のシフト回路52-8の人力強了ロスと、レジスタ回路 5.6 - 2のラッチ増す1.2 と、輸列傾同路 5.4 - 2の人 **り着子T2とに接続されている、以下、シフト同路52** 人力踏子は朱通校般され、シフトクロックCPが供給さ れるようになっている。また薩思傾向路54-1~54 りTESTが供給されるようになっている。 発用協画路 5.4-1~5.4-nの各出力端子T3は出力回路総80 - 3~シフト回路52-nも同様に接続されている。

2112

T2とに接続されている。

TD:1~Dinは特殊技能され、これらの人力強予D 大段のラッチ国路網6日のラッチ回路60-1~60-【0022】レジスク回路56-1~58-1の人力権 が供給されるようになっている。レジスタ回路56 -1~56-nの組力過了り01~り0mはそれぞれ、 il~Dinには画像ゲーク(以ドテストデークと体 の人力菓子Dil~Dinに技術されている。

【0023】ラッチ网络部60のラッチ网络60-1~ 60-nの各人小囃子1にはテストデータを格納するた かのラッチ信号1,0ADが人力されるようになっている (図2ではラッチ回路60-2~60-nについてはテ 【0024】ラッチ同路60-1~60-nのH/J紹子 Dol~Donは、次段のDA変換回路第70のDA変 級回路70-1~70-nの人力強了D:1~D:nに それぞれ、投稿されている。DA接換回路70-1-7 0-nの用力ATDA1~DAnはHJA略形80のH **小回路80−1∼80−nの人力格子in1∼inn**に ※続きれている。出力同路80-1~80-nの川力器 Jo1~onからはjそれぞれ、テストデータに対応し たアナログ電圧がドライバIC12のIIIJバッドDV-/子信号1.OADが供給れる配線を容略してある。)。

【0025】図3を参照して川力回路路80の構成にり いて説明する。出力同略80-1~80-nは回~情戒 のみをぶしている (図3においてシフトレジスタ回路5 0からパッファアンプ回路82~1までを内部回路と称 す)。因3においてDA変換回路第70におけるDA変 後同路70-1の出力場でDA1が出力同路80-119 のパッファアンプ82-1の非反転人力増予に接続され ている。 パッファアンフォ2-1の川力増予に反転人力 編了とアナログスイッチ8 4~1の編下SWT 1に接続 されている。 アナログスイッチ同路204-1の他がの 個子SWT 2はドライベI C 1 2の間カバッドD V − O 80-2~80-nについても同様にアナログスイッチ 84-2~84-nの他方の場下はドライバ(C12の) 川カバッドDV-OUT2~DV-OUTnに接続され であるので、図3では最間の保育上、出力回路80-1 リT1に接続されている。図示していない他の出力同路

[0026] ドライベIC12の各間カバッドDV-O UTI-DV-OUT nittCP100799-9-F を介して、冷敷用カバッド (DV-OUT 1, DV-O UT3, …, DV-OUTn-1) は存載デスト用パッ CP-OUT3がDV-OUT3と対応, …, TCP-のUTn-1がDV-0UTn-1と対応) に共通投票 -OUT2と対応、TCP-OUT4がDV-OUT4 ド38 (TCP-OUT1がDV-OUT1と対応、T されており、興動出力パッド (TCP-OUT 2がDV

[0027] 上記構成からなる本実施の形態に係るドラ を債在するテスト回路の動作状態をいう。テストモード 時の数点内容は入川カバッド間が数気的に導通している か、または職技する出力強予闘や難気的に対路している かるかの機能状態をICテスタ物で制定する。ICテス タで依在する場合は、プローブカードに搭載された教師 に当て、人力関も同様にテスト用パッド26-2に針を 情報 (スタートげ号ST、シフトクロックCP、テスト モードはBTEST、面像データ等)をドライバ1C1 26-1より期待低に相当するテストデータに対応した **出力は男が暮られるかぞかで・敷的には製品の良予を判** 100281 字ず、上記ドライバ1C12を搭載したT CP10のテストモードとはインナーリード16、18 アドライバ1C12の金パンプ32、34との投稿状態 な針をドライベ1 C 1 2の出力酸の必数ライン田のテス ト田ベッド3 4 が成数シインのデスト田ベッド26-1 当て匍匐的に披掘をとっている。I Cチスタからデスト 2の各信号離子に入りし、出力間のテストバッド38、 イベICのテスト回路の他内についた政府する。

A manufacture of the property of the property

74.1 (10.3.1) シンド 下間あっ ニ・シンド (10.3.1) (10.3.1) シンド 下間あっ ニーシンド (10.3.1) (10.3.1) シンド 下間あっ ニーシンド (10.3.1) (10.3.1) シンド (10.3.1) シンド 下間あっ ニーシンド シンド (10.3.1) マンド (

9、例えば「TF」を指込み、保存する。100311 シアト回路52-3の出力送する3から以降T「c pの発展」11。シンフトベス名号が、協定しないシア・回路をないファー回路52-4の入力送手ひょとレジメの回路

4 may 1 ma

10.0.3.7 なジンタ所85.6 ー 1、6.6 ー 1には 24.4.マットラー211、LOADH9つ II T 加加ト 24.6. タラッチ原路6.0 ー、6.0 ー nの分外、核数が 84.6. タラッチ原路6.0 ー、6.0 ー nの分外、核数が 84.9. カッチアル II には、0.0 ト カッチャータが探され、概様8月のシッチ原数 カッチャータが探され、概様8月のシッチ原数 1.3 1... ル)には「7.1 かラ・アデータが展 2.1 1... ル)には「7.1 かラ・アデータが展

チ塔テLnが" H"の炫観中にテストデータ、例えば"

7 F h を取込み、保持する。

[0033] -- 方、テストデータ。7Fh。は中間競技 を生成する。DA変換後の液品駆動電圧は図3に小す出 1回機80-114のパッファアンブ82-16インピー ゾンス変換されアナログスイッチ84~1 の猶了 SWT に人力される。テスト時の各ペッファアンプのUIJが 独は合数番目の回路(1,3,…,n-1)が放入税所 (V₀₀=5V)、顕教者目の同路 (2, 4, …, n) は p開発圧 (Vrs=2.5V)を出力している。 川J同路 80-1内のアナログスイッチ回路84-1をオン/オ 7帳跡するテスト信号TSは、シフトレジスタ阿路部5 0の職項値同路5キー1のT1加下に人力するゲストモ ード試号エESTと、シフト同路52−1の川力信号Q との職理値により生成される。テストモードは写TES Fのローレベル (以下、" L" と記す。) となる知識は アナログスイッチ84~1がポフ状態になり、テストモ ード信号TESTが"11"類間中でシフト回路52−1 アログスイッチ84~1がオン状態になる。以上の動作 パデータで慰我ャデータ。00ト。と口我ネデータ。ド Fh* との中間に抽当し、中間地圧 (Vyr=2.5V) の出力信号のとの発売後出力す3が、11。の期間中はア V) に相当する。

80-1~80-nの各アナログスイッチがオフ状態に ド26~1が、ドライバICI2のパッファアンフと切 1に人力する。シフト同路52-1の出力量子Q1より 11。のシフトバルス信号が、鰲飛信同路54-1の人力 領子下2、シフト同路52-2とレジスタ回路56-1 こ出力される。テストモード信号TESTもTicp開 別内でアスト版图 (TSI) " II" レベルに設定されて Tを" L"レベルに設定し、全ての路理傾回路54-1 を"し"レベルに超近することにより、全ての川力回路 なりTCPIO上の谷敷川カバッド38と偶数川カバッ 【0034】冬に韓宝/加奈各を登回れ、テストゲータ 高沢種間と回義にスタートにからて参ツフト回路の 3ー ~54~nの出力増予下3より出力されるテスト信号 シフトクロックCPに同類した周期Ticpの期間。 り痛されて、ハイインピーゲンス状態になっている。 権用機同路54-102周子T1に人力される。

【0037】以上の状態において、導通および短絡検査 はTCP10上に扱けられた必数ライン用のテスト用バ ッド38と、晩穀ラインのテスト用パッド26-1から -ド線を介してテスタ内の比較器100に入りし、比較 第100の程序基準開展域と比較性はする。テスタ内の 比枚器100の人力インピーゲンス (ス1) をアナログ スイッチ同路84~1のポフ状態の低抗(Roff)と 前程度として設明する。例えば、出力同路80-1のア ナログスイッチ84-1がオン状態になり、共通接続さ L在音数ライン田のチスト用ペッド38からは図4に示 **ナタイミングでアナログ電圧 (Vgg≒5V) が出力され** 5. この出力程圧は比較器100に入力されテスタの導 **前衛定基物敷圧鎖(1−1)(例えば、2 i / (2 i +** Ron) ×5V>4,8Vに政治)と圧動機,4,8V 1のドライバ1 C 1 2 類の出力パッドとTCP10 との 別は正常に接続されていると判断される。この状態でへ イインピーゲンス状態にある気数ラインのデスト用パッ ド26-1からは短着等の不良が無い限りは、ほぼアナ ログ出力電圧 (V-F=2. 5V) の約1/2の電位が出 記しと比較後、2V以下であれば正常と判定される。例 fl力されるアナログ電圧をプローブカードの針およびり 以上のアナログ電圧が用力されていれば組力同路80-**りされテスタの短路料定路等電圧値(2-1)(例え** I. Z i / (Z j +Roff) ×2. 5V<2Vに位

4866 (T. 0.5 40 7.4. 24 7.4.

本語 ギ12-131393

発売経回路54~2の人が指すて2に人力される。デス (TS2) * II* レベルに設定されて整理数回数54-2の指子TIに入力される。職理技同路54-2の出力 T3はシフト阿路52~2の川りQ2とテストモード信 8-TESTの諸理様よりテスト期間 (TS2) "H" 状 気になり、11月回路80~2のアナログスイッチをデス ト伝形の" 11" 独閣中 (TS2) オン状態にする, この 時、他のアナログスイッチ回路はオフ状態になる。 旧力 **同路80-2のアナログスイッチがオン状態になり、四** 数ライン用のテスト用パッド26-1からはTCP-O 5日月のされる。川り和田は比較器100に入力されテス (2:+Ron) ×2, 5V>2, 4Vに改定)と比較 数、2. 4V以上のアナログ電圧が用力されていれば削 小回路80−2の1C間の出力パッドとTCP間は正常 に接続されていると判定される。この状態でが数ライン は、ほぼアナログ川力電圧(Vgg=5V)が川力されテ スタの気格判定基件値 (2-2) (例えば、スェノ (7 i+Roff) ×5V<4、8Vに改正: 格数ラインの 2にボオタイミングでアナログ和JE (V fr = 2.5V) || 「レベルの信号がシフト回路52-2より川力され、 のテスト用ペッド38からは知路等の不良が無い限り トモード信号工長STもTicp根間外でデスト雑間 クの導通判定基準数圧値(1-2) (例文は、21/ [0038] 次に、シフトクロックCPに同期した。

えば、遂収されている6数ラインと隣接する函数ライン

とテストデータ転送期間とし、テストモードは号TES

李陽平12-131393

値よりテスト関関 (TS3) " H" 状態になり、出力所 ナログスイッチはオフ状態になる。用力回路80-3の アナログスイッチがホン状態になり、共通接続された奇 数ライン用のテスト用パッド38からは凶4に水すタイ ミングでアナログ都圧 (Vooち 5 V) が川力される。同 (T3) はシフト阿路52-4のII/JQ1とテストモー 様に四数番目の出力同路も発現街回路54-4の刊力 路80-3のアナログスイッチをテストは5下5の。

 状態になり、川力同路80-4のアナログスイッチ **タテスト記むのTSの。Ⅱ 毎回子(TS4) ナン共復** にする。この様、他のアナログスイッチはオフ状態にな る。川力回覧80-4のアナログスイッチがオン状態に なり、函数ライン用のテスト用パッド26~1からはT 2. 5V) が担力される。以下、最終段階も同様に発用 鎖同路54~ (n−1)の肌力T3はシフト回路52~ (n-1) の川カQn-1とデストモードは5TEST の発見値よりテスト期間 (TSn-1) "11" 状態にな ドボちTESTの確認指よりテスト原間(TS4)。 CP-O4にボキタイミングでアナログ電圧 (V:F=

り、川方町路の一1のアナログスイッチをテストばちて Sの" II" 期間中 (TSn-1) オン状態にする, この 降、他のアナログスイッチはオフ状態になる。用力回路 り、共選接続された存款ライン用のテスト用パッド38 からは図4に示すタイミングでアナログ和氏 (Vno+5 V) が出力される。 並体段の確理協同路54-nの担力 T3もシフト回路52-nの出力Qnとテストモード店 男TESTの雑鬼後よりテスト期間(TSn)"H" 状 他になり、出力回路80-nのアナログスイッチをテス この時、他のアナログスイッチはオフ状態になる。出力 80- (n-1)のアナログスイッチがオン状態にな ト信きてSの" !!" 項間中 (TSn) オン状態にする。

回路80-nのアナログスイッチがポン状態になり、質 数ライン用のテスト用ベッド26~1からはTCP~0 が川力される、テスタ内の比較器100の導通判定基件 制圧減と対数判定基準制圧減はアストモードに対応して 切り替えるか、それぞれ料定基準電圧債保に比較器を配 **東することも可能である。判定基物程圧倒は接当10の** nにボオタイミングでアナログ都圧 (V:r=2、5V)

[0040] 以上に仮用したように、本発剤の実施の形 際に係るドライバ I Cのテスト回路及びテストが街によ れば、ドライバーCの川力国際第に内側回路と出力パッ ド (川力雄子) 間を着気的に切り着すことにより、ドラ イベICとTCP醛の接続状態を開場な子拉むを式が開 在稿、ケスタの在指数で任意に数字の稿である。

[0041] またTCP上のテストパッド (384川) /60~10μmピッチ) 杏谷敷パッド頭、または回敷 パッド間のどちらか多し出力体に共通接続し、出力パッ ド数が従来の1/2程度に減少したことにより、製品組

み立て彼の後会群のテストバッドへの針当て韓漢が近上 「ソノイスを選出が表現の対策の影響に乗りましました」 このテスト回路によれば、上記物果に加えて、内部回路 と出力バッド(川力雄子)間を超気的に切り離す手段と 1、故難ミスを伝媒でき製品参照りが向上する。

、て、アナログスイッチを各川力同路特に設け、アナロ アスイッチを1回集にデコードする手段を収割回認のシ 7 下屋敷の川方道を(シフトバルス位長)を着田中ろこ

100431点、アスト田バッドの総政は閲覧扱のアス F田 ペッド回を共通物域し、必数量のテスト田ペッドを H後に利因しても同様に効果を実現できる。またTCP の表表に配様パターンを設ければ、存款関および掲載館 のテスト用パッド間をそれぞれ共通接接可能になり、同 とにより、特別なデコード回路が不必要になり低コスト なゲスト同路を実現できる。

【0044】近、本発制は、液格パネルに限らず、ディ スプレイデバイスを駆動するドライバ1 C全般に適用で 後の効果を開始できる。 きることは勿論である。

[発明の効果] 技水道1に記載の発明によれば、ドライ f離にしたので、ドライベI CとT CPとの間の技能状 ペI Cの公的国際と出力ペッドとの関を概定的に切職し 戦を簡易な手法でデストすることが可能となる。 [0045]

を増加することなく、すなわちTCPのコストの上許を [0046]また請表項1に記載の発明によれば、テス ト田パッドの紀度を、内部同路の紀列順により芸蔵者目 の外籍回路と蜘蛛番目の内部回路に対応させてテスト用 パッドを认分けし、名義者目の内部回路と興教者目の内 部回路のJGれか・ガニ対応して設けられたデスト用パッ ド間を共通に抜続するようにしたので、TCPのサイズ **取くことなく、アスト田 パッド教を完成でき、それ校別** に組収扱の値が導のテスト用バッドに対するプロープ用 Hの針当て特度の同上が図れ、対数ミスを低減でき、契 品の物保りの向上が同れる。

に記載の効果に加えて、ドライバICの各内部同路と出 [0047] 請水項2に記載の発列によれば、請水項1 カバッドとの間を報送的に切り離す手段として、アナロ アスイッチを含々、微け、アナログスイッチを1回路検 トログスイッチを特定のタイミングで動作させるための **参加なデコーツ回路が不勝となり、伝コストのドライバ** (シフトバルス)(15日) を選用するようにしたので、各ア にデコードするのに大郷国際のシフト国際の川力信息 Cのチスト同路を実現することができる。

「図1】本発型が適用される液晶ドライベI CのTCP [国面の別様な説明]

[図2] 本発明の実施の形態に張るドライバI Cのデス ト回路の構成をポオプロック国。 この実装形態を小す。政制図。

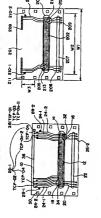
[図3] 図2における出力回路周辺の回路構成を示す回

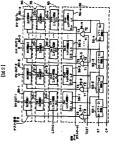


[85]

存属:472~131393

8





7 3

特開平12-131393

[2]

7 덮 Ŧ

54-(n-1) テスト用バッド

TCP-On TCP-04

	T09-V-F24	2 °		TO COMPANY
1-08/	SWTI DV-OUT!		82-1 84-1 SWT2	17.20.00
	100		- PA	

特開平12-131393

フロントページの扱き